

ESP32-S3 系列

硬件设计指南

关于本文档

本文提供基于 ESP32-S3 的硬件设计的指导规范。ESP32-S3 是一款具有超高性能的 Wi-Fi + Bluetooth® 5 (LE) 系统级芯片。

这些规范将帮助您提升原理图和 PCB 版图设计的准确性。



版本 v1.2
乐鑫信息科技
版权 © 2023

目录

1	产品概述	5
2	原理图设计	6
2.1	电源	7
2.1.1	数字电源	8
2.1.2	模拟电源	9
2.1.3	RTC 电源	10
2.2	上电时序与复位	11
2.2.1	上电时序	11
2.2.2	复位	11
2.2.3	上电、复位时序图	11
2.3	Flash 及 SRAM	12
2.3.1	封装内 Flash/PSRAM	12
2.3.2	芯片与封装内 Flash/PSRAM 的管脚对应关系	12
2.3.3	封装外 Flash/PSRAM	13
2.4	时钟源	13
2.4.1	外置主晶振时钟源（必选）	13
2.4.2	RTC 时钟（可选）	14
2.5	射频 (RF)	15
2.6	UART	16
2.7	Strapping 管脚	16
2.8	GPIO	17
2.9	ADC	20
2.10	USB	20
2.11	SDIO	21
2.12	触摸传感器	21
3	版图布局	22
3.1	版图设计通用要点	22
3.2	模组在底板上的位置摆放	23
3.3	电源	25
3.4	晶振	26
3.5	射频	28
3.6	Flash 及 PSRAM	29
3.7	UART	30
3.8	USB	30
3.9	SDIO	30
3.10	触摸传感器	31
3.10.1	电极图形	31
3.10.2	PCB 布局	32
3.10.3	防水和接近传感器布局	32
3.11	版图设计常见问题	33

3.11.1	为什么电源纹波并不大，但射频的 TX 性能很差？	33
3.11.2	为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？	34
3.11.3	为什么 ESP32-S3 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？	34
3.11.4	为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？	34
4	开发硬件介绍	35
4.1	ESP32-S3 系列模组	35
4.2	ESP32-S3 系列开发板	35
4.3	下载指导	35
5	相关文档和资源	37
	词汇列表	38
	修订历史	39

表格

1	VDD_SPI 电压控制	8
2	ESP32-S3 系列芯片上电、复位时序图参数说明	11
3	芯片与封装内 Flash/PSRAM 的管脚对应关系	12
5	芯片启动模式控制	16
6	Strapping 管脚的时序参数说明	17
7	管脚概述	18
8	芯片上电过程中的管脚毛刺	19
9	USB-OTG Download 下载模式下芯片初始化后 IO 焊盘状态	20

插图

1	ESP32-S3 系列芯片参考设计原理图	6
2	ESP32-S3 系列芯片八线 1.8 V 封装外 flash/PSRAM 核心电路图	7
3	ESP32-S3 系列芯片数字电源	9
4	ESP32-S3 系列芯片模拟电源	10
5	ESP32-S3 RTC 电源	10
6	ESP32-S3 系列芯片上电、复位时序图	11
7	ESP32-S3 系列芯片无源晶振电路图	14
8	ESP32-S3 系列芯片外置 RTC 晶振电路图	14
9	ESP32-S3 外部 RTC 时钟输入	15
10	ESP32-S3 系列芯片射频匹配电路图	15
11	射频调试示意图	16
12	Strapping 管脚的时序参数图	17
13	ESP32-S3 系列芯片版图设计	22
14	ESP32-S3 系列模组 (天线馈点在右侧) 在底板上的位置示意图	23
15	ESP32-S3 系列模组 (天线馈点在左侧) 在底板上的位置示意图	23
16	ESP32-S3 天线区域净空示意图	24
17	ESP32-S3 系列芯片四层板电源设计	25
18	ESP32-S3 系列芯片四层板模拟电源设计	26
19	ESP32-S3 系列芯片晶振设计 (接地)	27
20	ESP32-S3 系列芯片晶振设计 (不接地)	27
21	ESP32-S3 系列芯片四层板射频部分版图设计	28
22	ESP32-S3 系列芯片 PCB 叠层结构设计	28
23	ESP32-S3 系列芯片四层板射频短截线设计	29
24	ESP32-S3 系列芯片 Quad Flash 版图设计	29
25	ESP32-S3 系列芯片 Octal Flash 版图设计	30
26	ESP32-S3 系列芯片 UART0 版图设计	30
27	典型的触摸传感器应用	31
28	电极图形要求	31
29	传感器布局布线	32
30	屏蔽电极和保护传感器	33

1 产品概述

说明：

点击链接或扫描二维码确保您使用的是最新版本的文档：

https://espressif.com/documentation/esp32-s3_hardware_design_guidelines_cn.pdf



ESP32-S3 系列是低功耗、高集成度的 MCU 系统级芯片 (SoC)，集成 2.4 GHz Wi-Fi 和低功耗蓝牙 (Bluetooth® LE) 无线通信。ESP32-S3 具有以下亮点：

- Xtensa® 32 位 LX7 双核处理器
- 高集成度的射频模块
- 卓越的低功耗管理
- 强大的存储功能
- 完善的安全机制
- 丰富的通信接口及 GPIO 管脚

为了抵消射频接收器的瑕疵,ESP32-S3 还另增了校准措施,缩短了产品的测试时间,并且不再需要测试设备。

ESP32-S3 特别适用于人工智能和 AIoT 等应用场景，例如：

- 唤醒词检测
- 语音命令识别
- 人脸检测和识别
- 智能家居
- 智能家电
- 智能控制面板
- 智能扬声器

更多关于 ESP32-S3 说明和订购信息请参考 [《ESP32-S3 系列芯片技术规格书》](#)。

说明：

除非特别说明，文中使用的“ESP32-S3”指的是无封装内 flash/PSRAM 的 ESP32-S3 芯片。

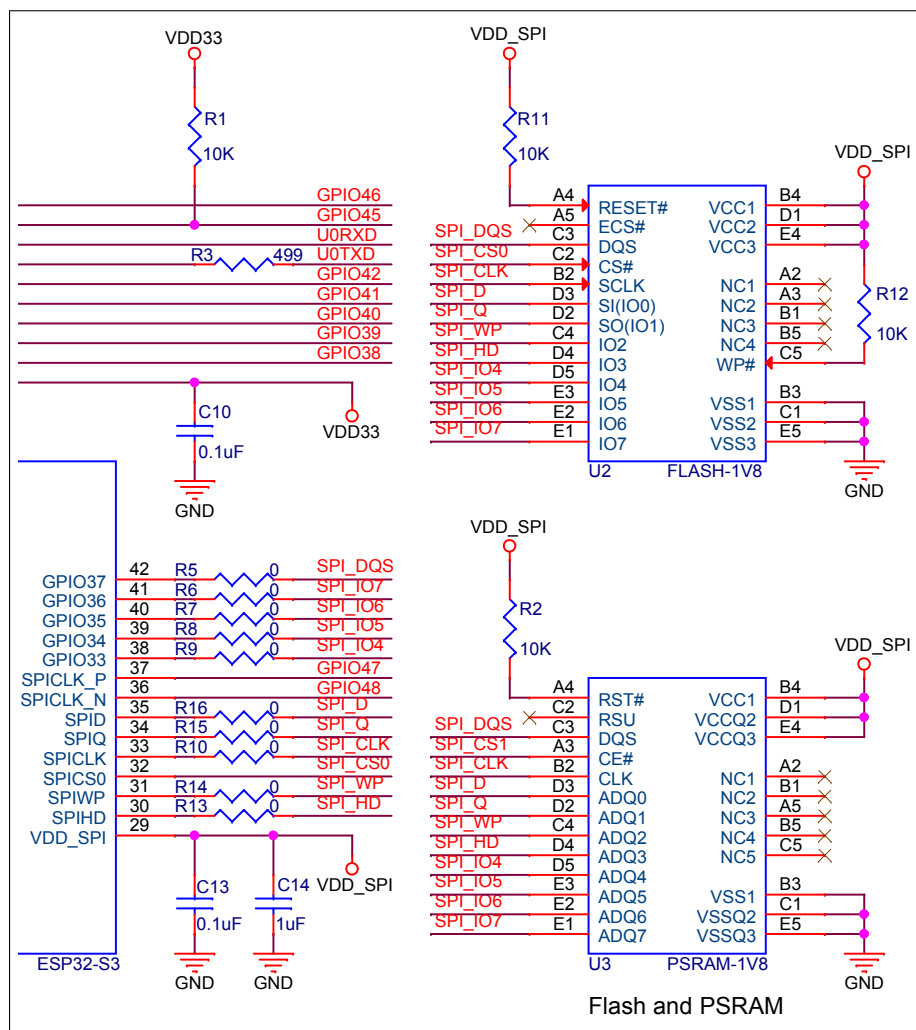


图 2: ESP32-S3 系列芯片八线 1.8 V 封装外 flash/PSRAM 核心电路图

ESP32-S3 系列芯片核心电路图的设计有 12 个部分注意事项:

- 电源
- 上电时序与复位
- Flash 及 SRAM
- 时钟源
- 射频
- UART
- Strapping 管脚
- GPIO
- ADC
- USB
- SDIO
- 触摸传感器

下文将分别对这 12 个部分进行描述。

2.1 电源

关于电源管脚的更多信息，请查看 [《ESP32-S3 系列芯片技术规格书》](#) 中的**电源**章节。

2.1.1 数字电源

ESP32-S3 系列芯片的管脚 46 VDD3P3_CPU 为 CPU IO 输入电源管脚，工作电压范围为 3.0 V~3.6 V。建议在电路中靠近该数字电源管脚处添加 0.1 μ F 去耦电容。

管脚 29 VDD_SPI 管脚可配置输出 1.8 V 或输出 3.3 V（默认状态）给外部电路使用。建议靠近该电源管脚处添加 0.1 μ F 及 1 μ F 去耦电容。

- 当 VDD_SPI 处于 1.8 V 模式时，由 ESP32-S3 内部的 flash 稳压器供电，能提供的电流典型值为 40 mA。
- 当 VDD_SPI 处于 3.3 V 模式时，由 VDD3P3_RTC 通过内部的 R_{SPI} 电阻（典型值为 14 Ω ）后供电。因此，VDD_SPI 相对 VDD3P3_RTC 会有一定电压降。

VDD_SPI 电压有两种控制方式，具体取决于 EFUSE_VDD_SPI_FORCE 的值。

表 1: VDD_SPI 电压控制

EFUSE_VDD_SPI_FORCE	GPIO45	eFuse ¹	电压	VDD_SPI 电源 ²
0	0	忽略	3.3 V	VDD3P3_RTC 通过 R_{SPI} 供电（默认状态）
	1		1.8 V	Flash 稳压器
1	忽略	0	1.8 V	Flash 稳压器
		1	3.3 V	VDD3P3_RTC 通过 R_{SPI} 供电

¹ eFuse: EFUSE_VDD_SPI_TIEH

² 请参考 [《ESP32-S3 系列芯片技术规格书》](#) > 章节 电源管理

VDD_SPI 也可以连接到外部电源，由外部电源输入供电。

注意：

- 对于内封 flash/PSRAM 的 ESP32-S3 系列芯片，VDD_SPI 已经固定为 1.8 V 或 3.3 V，所以不需要对 GPIO45 进行处理。
- 当使用 VDD_SPI 给封装内或封装外 3.3 V flash/PSRAM 供电时，需要满足 flash/PSRAM 的最低工作电压要求，因为 R_{SPI} 电阻产生压降的关系，一般建议 VDD3P3_RTC 电压在 3.0 V 及以上。

ESP32-S3 系列芯片数字电源电路图如图 3 所示。

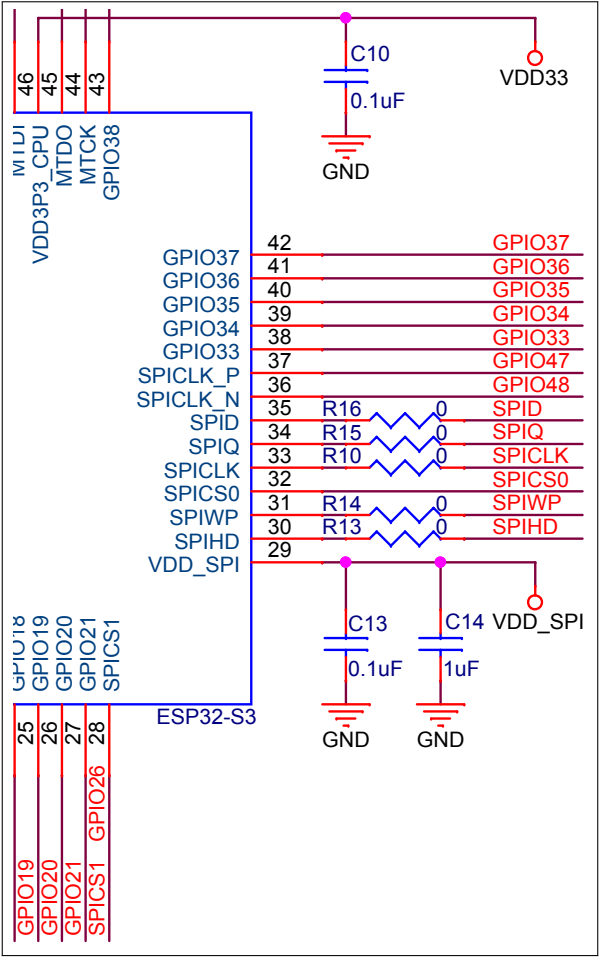


图 3: ESP32-S3 系列芯片数字电源

2.1.2 模拟电源

ESP32-S3 系列芯片的管脚 2 VDD3P3、管脚 3 VDD3P3、管脚 55 VDDA 和管脚 56 VDDA 为模拟电源管脚，工作电压范围为 3.0 V ~ 3.6 V。

当 ESP32-S3 系列芯片工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在管脚 2 和 3 的 VDD3P3 电源走线上增加一个 10 μ F 电容，该电容可与 1 μ F 电容搭配使用。另外，在靠近这两个电源管脚处还需添加 CLC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 500 mA 及以上。其余电源管脚请参考图 4 放置相应的去耦电容。

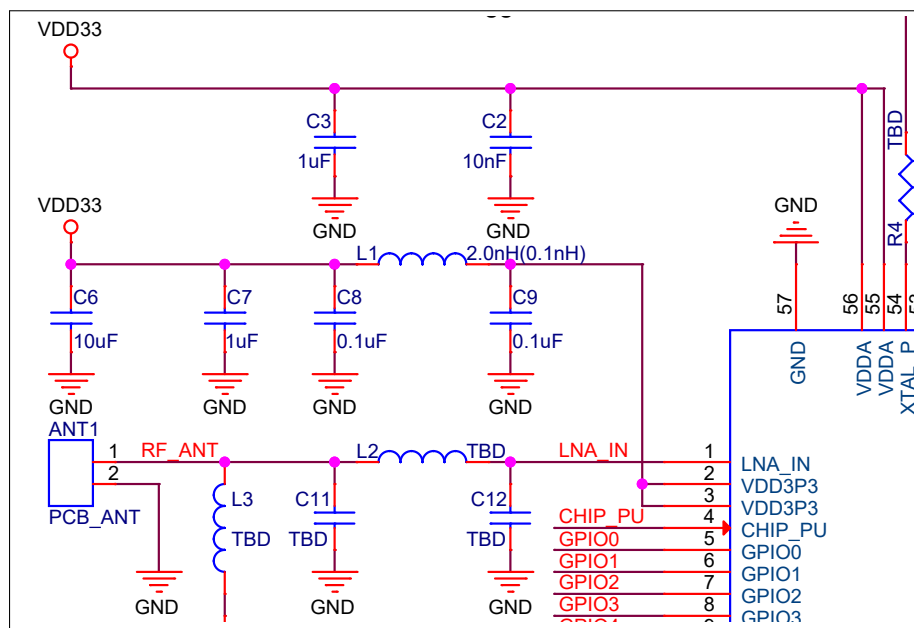


图 4: ESP32-S3 系列芯片模拟电源

2.1.3 RTC 电源

ESP32-S3 系列芯片的管脚 20 VDD3P3_RTC 为 RTC 电源管脚，建议在电路中靠近该电源管脚处添加 $0.1\ \mu\text{F}$ 去耦电容。

请注意，该电源不可以作为备用电源单独供电。

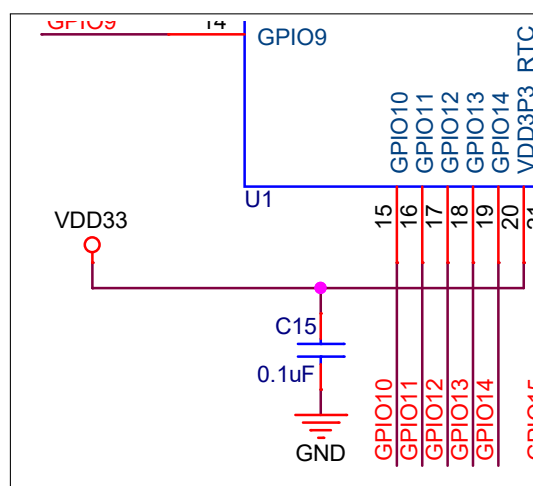


图 5: ESP32-S3 RTC 电源

注意:

- 使用单电源给 ESP32-S3 系列芯片供电时，建议供给电源电压为 3.3 V，最大输出电流需要满足 500 mA 及以上。
- 建议在总电源入口添加另一个 $10\ \mu\text{F}$ 电容；如果总电源入口靠近管脚 2 和 3，可以合并仅使用一个 $10\ \mu\text{F}$ 电容。
- 总电源入口处建议添加 ESD 保护器件。

2.2 上电时序与复位

2.2.1 上电时序

当 ESP32-S3 系列芯片使用 3.3 V 作为统一的系统电源时，由于芯片需要在电源轨稳定之后才能使能，因此上电时序需遵循：ESP32-S3 系列芯片的 CHIP_PU 使能管脚上电晚于系统电源 3.3 V 上电。具体时序请见章节 2.2.3。

注意：

为确保芯片上电时序正常，一般采用的方式是在 CHIP_PU 管脚处增加 RC 延迟电路。RC 通常建议为 $R = 10\text{ k}\Omega$ ， $C = 1\text{ }\mu\text{F}$ ，但具体数值仍需根据实际的电源特性配合芯片的上电、复位时序进行调整。

2.2.2 复位

ESP32-S3 系列芯片的复位可使用 CHIP_PU 管脚。当 CHIP_PU 管脚为低电平时，建议复位电压 (V_{IL_nRST}) 范围为 $(-0.3 \sim 0.25 \times V_{DD3P3_RTC})\text{ V}$ 。为防止外界干扰引起重启，CHIP_PU 管脚引线需尽量短一些，且最好加上拉电阻和对地电容。具体时序请见章节 2.2.3。

注意：

该管脚不可浮空。

2.2.3 上电、复位时序图

图 6 为 ESP32-S3 系列芯片的上电、复位时序图。各参数说明如表 2 所示。

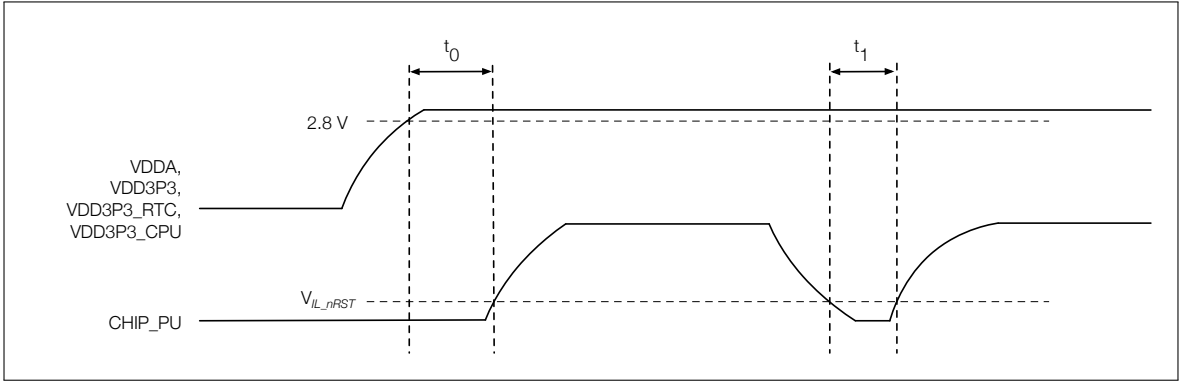


图 6: ESP32-S3 系列芯片上电、复位时序图

表 2: ESP32-S3 系列芯片上电、复位时序图参数说明

参数	说明	最小值 (μs)
t_0	CHIP_PU 管脚上电晚于 VDDA、VDD3P3、VDD3P3_RTC 和 VDD3P3_CPU 上电的延时时间	50
t_1	CHIP_PU 电平低于 V_{IL_nRST} 从而复位芯片的时间	50

注意：

在电源爬坡非常慢（例如电池缓慢充电）、或需要频繁上下电、或供电电源不稳定（例如光伏发电）的场景中，仅使用 RC 电路无法同时满足上电和复位的时序，可能导致芯片无法正常启动。建议采取其他方式满足要求，例如使用外部复位芯片或看门狗芯片。如果 ESP32-S3 系列芯片由 VDD_SPI 输出 3.3 V，复位芯片或看门狗芯片的阈值一般为 3.0 V 左右。

2.3 Flash 及 SRAM

ESP32-S3 系列芯片需配合封装内或封装外 flash 一起使用，用于存储应用的固件和数据。封装内 PSRAM 和封装外 RAM 非必需。

2.3.1 封装内 Flash/PSRAM

封装内 flash/PSRAM 指的是封装在某些芯片型号内部的 flash 或 PSRAM。目前 ESP32-S3 系列芯片与封装内 flash/PSRAM 的管脚对应关系请参阅表 3。

请注意以下管脚最多连接一个 flash 和一个 PSRAM，也即当封装内仅有 flash 时，被 flash 占用的管脚只能再连接一个 PSRAM，不能用于其他功能；封装内仅有 PSRAM 时，被 PSRAM 占用的管脚只能再连接一个 flash；封装内有 flash 和 PSRAM 时，被占用的管脚不能再使用。

2.3.2 芯片与封装内 Flash/PSRAM 的管脚对应关系

表 3 列出了芯片与封装内 flash/PSRAM 的管脚对应关系，这些芯片管脚不建议用于其他功能。

表 3: 芯片与封装内 Flash/PSRAM 的管脚对应关系

ESP32-S3FN8 (8 MB) / ESP32-S3FH4R2 (4 MB)	封装内 flash (Quad SPI)
SPICLK	CLK
SPICS0	CS#
SPID	DI
SPIQ	DO
SPIWP	WP#
SPIHD	HOLD#
ESP32-S3R2 / ESP32-S3FH4R2	封装内 PSRAM (2 MB, Quad SPI)
SPICLK	CLK
SPICS1	CE#
SPID	SI/SIO0
SPIQ	SO/SIO1
SPIWP	SIO2
SPIHD	SIO3

ESP32-S3R8 / ESP32-S3R8V	封装内 PSRAM (8 MB, Octal SPI)
SPICLK	CLK
SPICS1	CE#
SPID	DQ0
SPIQ	DQ1
SPIWP	DQ2
SPIHD	DQ3
GPIO33	DQ4
GPIO34	DQ5
GPIO35	DQ6
GPIO36	DQ7
GPIO37	DQS/DM

2.3.3 封装外 Flash/PSRAM

ESP32-S3 支持的封装外 flash 和 PSRAM 最大可达 1 GB。如果使用 VDD_SPI 输出电压供电，设计时请注意需根据设置的 VDD_SPI 模式（1.8 V/3.3 V）选择合适的封装外 flash/PSRAM。另外，建议 SPI 通信线上预留串联电阻（初始可使用 0 Ω），主要作用为降低驱动电流，减小对射频的干扰，调节时序，提升抗干扰能力等。

ESP32-S3 芯片连接封装外四线 flash/PSRAM 和连接封装外八线 flash/PSRAM 的电路分别见图 1、图 2。

2.4 时钟源

ESP32-S3 外部可以有两个时钟源：

- 外置主晶振时钟源
- RTC 时钟源

2.4.1 外置主晶振时钟源（必选）

目前 ESP32-S3 系列芯片固件仅支持 40 MHz 晶振。

无源晶振

ESP32-S3 的无源晶振部分电路如图 7 所示，注意，选用的无源晶振自身精度需在 ±10 ppm。

XTAL_P 时钟走线上请放置一个串联元器件，可以是电阻或者电感（见图 7 中的 R4），初始建议使用 24 nH 的电感，用来减弱晶振高频谐波对射频性能的影响，最终值需要通过测试后确认。

外部匹配电容 C1、C4 的初始值可参考以下公式来决定：

$$C_L = \frac{C1 \times C4}{C1 + C4} + C_{stray}$$

其中 C_L （负载电容）的值可查看所选择晶振的规格书， C_{stray} 的值为 PCB 的寄生电容。C1、C4 的最终值需要通过系统测试进行调节确定。调试方法如下：

1. 通过 [认证测试工具](#)，选择 TX tone 模式。
2. 使用综测仪或者频谱仪查看 2.4 GHz 信号，解调得到实际频偏。

3. 通过调整外置负载电容，把频偏调整到 ± 10 ppm（建议）以内。

- 当中心频率偏正时，说明等效负载电容偏小，需要增加外置负载电容。
- 当中心频率偏负时，说明等效负载电容偏大，需要减小外置负载电容。
- 通常两个外置负载电容相等，在特殊情况下，也可以有略微差异。

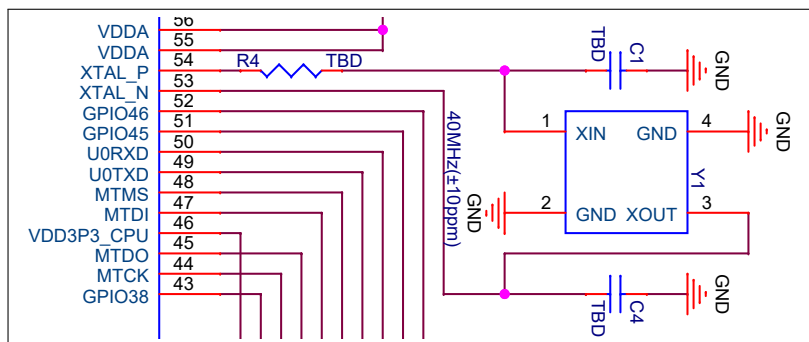


图 7: ESP32-S3 系列芯片无源晶振电路图

注意：

- 尽管 ESP32-S3 内部带有自校准功能，但是自身频偏过大（例如大于 ± 10 ppm）、工作温度范围内稳定度不高等晶振本身的质量问题仍然会影响芯片的正常工作，导致射频指标性能下降。
- 建议晶振的幅值大于 500 mV。
- 如果出现功能性的 Wi-Fi/蓝牙无法连接，排除软件原因后，可以采用上文中的方法，通过调节晶振的电容来保证频偏满足要求。

2.4.2 RTC 时钟 (可选)

ESP32-S3 支持外置 32.768 kHz 的无源晶振或者外部激励信号（如有源晶振）作为 RTC 睡眠时钟。使用外部 RTC 时钟源是为了使时间更准确，从而降低平均功耗，但对于功能没有任何影响。

外置 32.768 kHz 无源晶振的电路如图 8 所示。

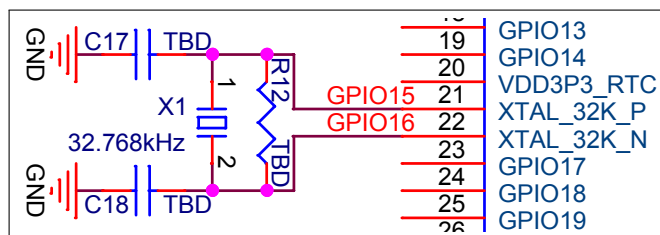


图 8: ESP32-S3 系列芯片外置 RTC 晶振电路图

注意：

- 32.768 kHz 晶振选择要求：
 - 等效内阻 (ESR) $\leq 70 \text{ k}\Omega$;
 - 两端负载电容值根据晶振的规格要求进行配置。
- 并联电阻 R 用于偏置晶振电路，电阻值要求 $5 \text{ M}\Omega < R \leq 10 \text{ M}\Omega$ ，该电阻一般无需上件。

- 如果不需要该 RTC 时钟源，则 32.768 kHz 晶振的两个管脚也可配置为通用 GPIO 口使用。

外部激励信号的电路如图 9 所示：



图 9: ESP32-S3 外部 RTC 时钟输入

外部时钟信号可通过一个隔直电容（20 pF 左右）输入至 XTAL 的 P 端，N 端悬空即可。外部激励信号参数如下表所示：

XTAL 的 P 端输入	振幅 (Vpp, 单位: V)
正弦波或方波	$0.6 < V_{pp} < VDD$

2.5 射频 (RF)

ESP32-S3 系列芯片的射频电路主要由三部分组成：PCB 板射频走线、芯片匹配电路、天线及其匹配电路。

- PCB 板射频走线：需进行 50 Ω 阻抗控制。
- 芯片匹配电路：请尽量靠近芯片放置，主要用于阻抗匹配及谐波抑制，优先采用 CLC 结构，空间允许的情况下可以再加一组 LC。CLC 匹配电路如图 10 所示。
- 天线及其匹配电路：为保证辐射性能，建议天线的输入阻抗为 50 Ω 左右。为保险起见，推荐在靠近天线位置增加一组 π 型匹配电路，用于调节天线的输入阻抗。如果经过仿真可以确保天线阻抗点为 50 Ω 左右，并且空间较小，可以不加天线端的匹配电路。

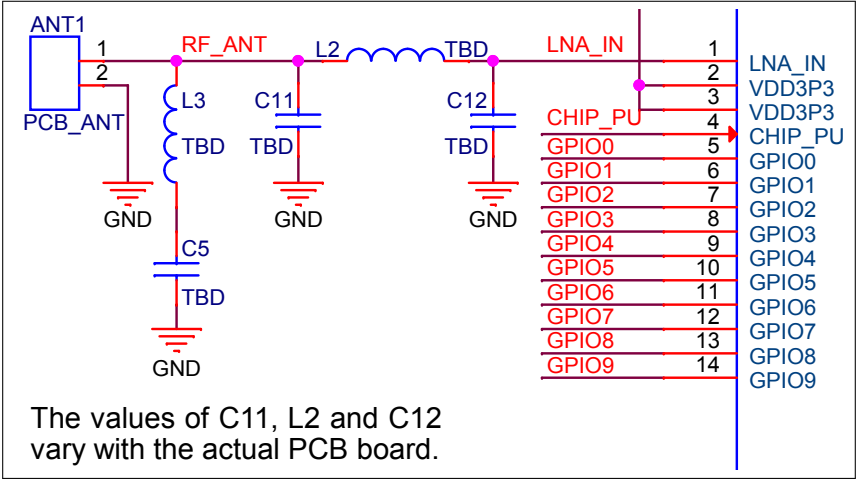


图 10: ESP32-S3 系列芯片射频匹配电路图

图 11 展示了 RF 调试的大概过程。请注意，匹配网络的参数值需基于实际天线和 PCB 布局进行测试来确定。对于 ESP32-S3 系列芯片，推荐将下图中的 S11 参数设置为 $35+j0 \Omega$ ，中心频点为 2442 MHz。

如果不需要使用射频功能，射频管脚可以悬空。

如果应用或生产环境中对静电敏感，建议在靠近天线侧预留 ESD 保护器件。

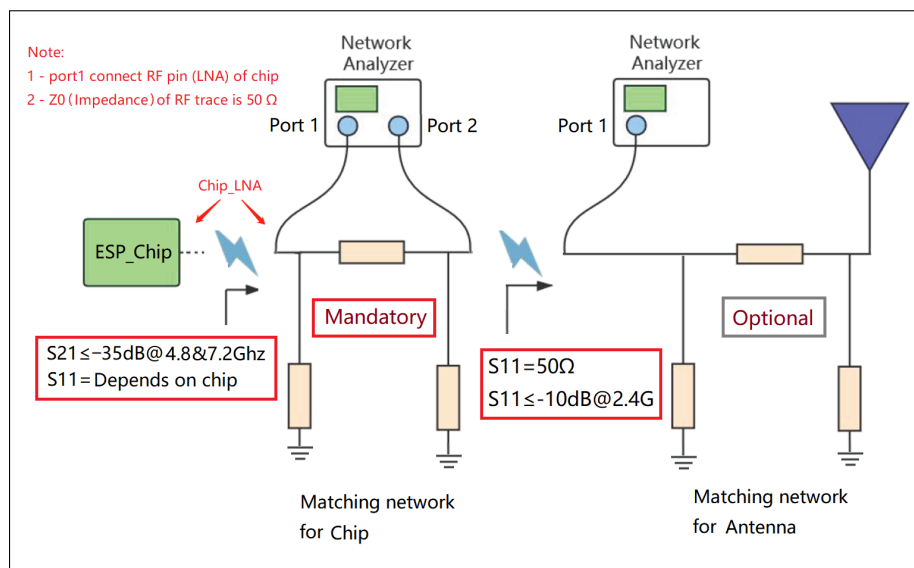


图 11: 射频调试示意图

注意:

匹配网络的参数值和 PCB 板相关，需通过上述 RF 调试确认，无法直接使用模组的匹配值。

2.6 UART

U0TXD 线上建议串联 499 Ω 电阻用于抑制 80 MHz 谐波。

UART0 通常作为下载和 log 打印的串口，管脚是固定的，即 U0TXD 和 U0RXD。关于如何使用 UART0 进行下载，请参考章节 4.3。

其他 UART 可以作为通信的串口，管脚可以通过软件配置到任意空闲的 GPIO 上。同样在 TX 线上建议预留串联电阻用于抑制谐波。

请注意使用 AT 固件时，固件里配置了 UART 的 GPIO，可以参考 [AT 固件下载](#)，建议使用默认配置。

2.7 Strapping 管脚

芯片每次上电或复位时，都需要一些初始配置参数，如加载芯片的启动模式等。这些参数通过 strapping 管脚控制。复位放开后，strapping 管脚和普通 IO 管脚功能相同。

所有的 strapping 管脚信息，可参考 [《ESP32-S3 系列芯片技术规格书》](#) > [Strapping 管脚](#) 章节。

下面主要介绍和启动模式有关的 strapping 管脚信息。

复位释放后，GPIO0 和 GPIO46 共同决定启动模式。详见表 5 芯片启动模式控制。

表 5: 芯片启动模式控制

启动模式	GPIO0	GPIO46
默认配置	1 (上拉)	0 (下拉)
SPI Boot (默认)	1	任意值
Download Boot	0	0
无效组合 ¹	0	1

¹ 该组合会触发意外行为，应当避免。

Strapping 管脚的时序参数包括 建立时间和 保持时间。更多信息，详见表 6 和图 12。

表 6: Strapping 管脚的时序参数说明

参数	说明	最小值 (ms)
t_{SU}	建立时间，即拉高 CHIP_PU 激活芯片前，电源轨达到稳定所需的时间	0
t_H	保持时间，即 CHIP_PU 已拉高、strapping 管脚变为普通 IO 管脚开始工作前，可读取 strapping 管脚值的时间	3

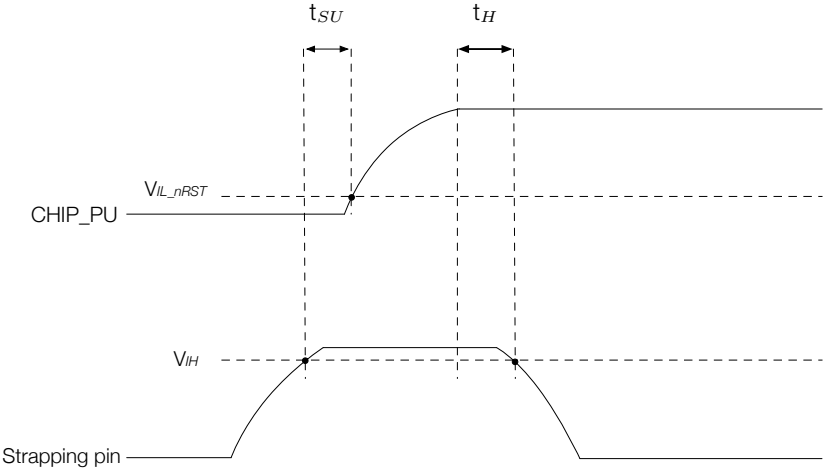


图 12: Strapping 管脚的时序参数图

注意：
请注意不要在 GPIO0 管脚处添加较大的电容，以免影响芯片上电启动。

2.8 GPIO

ESP32-S3 系列芯片通过 IO MUX 表格或者 GPIO 交换矩阵功能来配置 GPIO，IO MUX 表格中是默认的外设管脚配置，GPIO 交换矩阵用于将可以配置的外设信号传输至 GPIO 管脚。更多关于 IO MUX 和 GPIO 交换矩阵的信息，请参考 [《ESP32-S3 技术参考手册》](#) > IO MUX 和 GPIO 交换矩阵章节。

部分外设的 GPIO 管脚是固定的，部分是可以任意配置的，具体信息请参考 [《ESP32-S3 系列芯片技术规格书》](#) > 外设管脚分配章节。

使用 GPIO 时：

- 请注意 strapping 管脚的上电状态。
- 上电过程中，部分管脚会有毛刺，详见表 8。
- 避免使用 flash/PSRAM 占用的管脚。
- 在启用 USB-OTG Download 下载模式时，部分管脚会有电平输出，详见表 9。
- 请注意复位后的默认配置，详见表 7。建议对处于高阻态的管脚配置上拉或下拉，或在软件初始化时开启管脚自带的上下拉，以避免不必要的耗电。
- SPICLK_N、SPICLK_P、GPIO33 ~ GPIO37 属于同样的电源域，因此，如果使用八线 1.8 V 的 flash/PSRAM，SPICLK_P 和 SPICLK_N 也属于 1.8 V 电源域。

- Deep-sleep 模式下只能控制电源域为 VDD3P3_RTC 的 GPIO。

说明:

以下内容摘自 [《ESP32-S3 系列芯片技术规格书》](#) > [管脚](#) 章节。

表 7: 管脚概述

管脚 序号	管脚 名称	管脚 类型	供电 管脚	管脚配置		管脚功能		
				复位时	复位后	IO MUX	RTC	模拟
1	LNA_IN	模拟						
2	VDD3P3	电源						
3	VDD3P3	电源						
4	CHIP_PU	模拟	VDD3P3_RTC					
5	GPIO0	IO	VDD3P3_RTC	IE, WPU	IE, WPU	IO MUX	RTC	
6	GPIO1	IO	VDD3P3_RTC	IE	IE	IO MUX	RTC	模拟
7	GPIO2	IO	VDD3P3_RTC	IE	IE	IO MUX	RTC	模拟
8	GPIO3	IO	VDD3P3_RTC	IE	IE	IO MUX	RTC	模拟
9	GPIO4	IO	VDD3P3_RTC			IO MUX	RTC	模拟
10	GPIO5	IO	VDD3P3_RTC			IO MUX	RTC	模拟
11	GPIO6	IO	VDD3P3_RTC			IO MUX	RTC	模拟
12	GPIO7	IO	VDD3P3_RTC			IO MUX	RTC	模拟
13	GPIO8	IO	VDD3P3_RTC			IO MUX	RTC	模拟
14	GPIO9	IO	VDD3P3_RTC		IE	IO MUX	RTC	模拟
15	GPIO10	IO	VDD3P3_RTC		IE	IO MUX	RTC	模拟
16	GPIO11	IO	VDD3P3_RTC		IE	IO MUX	RTC	模拟
17	GPIO12	IO	VDD3P3_RTC		IE	IO MUX	RTC	模拟
18	GPIO13	IO	VDD3P3_RTC		IE	IO MUX	RTC	模拟
19	GPIO14	IO	VDD3P3_RTC		IE	IO MUX	RTC	模拟
20	VDD3P3_RTC	电源						
21	XTAL_32K_P	IO	VDD3P3_RTC			IO MUX	RTC	模拟
22	XTAL_32K_N	IO	VDD3P3_RTC			IO MUX	RTC	模拟
23	GPIO17	IO	VDD3P3_RTC		IE	IO MUX	RTC	模拟
24	GPIO18	IO	VDD3P3_RTC		IE	IO MUX	RTC	模拟
25	GPIO19	IO	VDD3P3_RTC			IO MUX	RTC	模拟
26	GPIO20	IO	VDD3P3_RTC			IO MUX	RTC	模拟
27	GPIO21	IO	VDD3P3_RTC			IO MUX	RTC	
28	SPICS1	IO	VDD_SPI	IE, WPU	IE, WPU	IO MUX		
29	VDD_SPI	电源						
30	SPIHD	IO	VDD_SPI	IE, WPU	IE, WPU	IO MUX		
31	SPIWP	IO	VDD_SPI	IE, WPU	IE, WPU	IO MUX		
32	SPICS0	IO	VDD_SPI	IE, WPU	IE, WPU	IO MUX		
33	SPICLK	IO	VDD_SPI	IE, WPU	IE, WPU	IO MUX		
34	SPIQ	IO	VDD_SPI	IE, WPU	IE, WPU	IO MUX		
35	SPID	IO	VDD_SPI	IE, WPU	IE, WPU	IO MUX		
36	SPICLK_N	IO	VDD_SPI / VDD3P3_CPU	IE	IE	IO MUX		
37	SPICLK_P	IO	VDD_SPI / VDD3P3_CPU	IE	IE	IO MUX		
38	GPIO33	IO	VDD_SPI / VDD3P3_CPU		IE	IO MUX		

见下页

表 7 – 接上页

管脚序号	管脚名称	管脚类型	供电管脚	管脚配置		管脚功能		
				复位时	复位后	IO MUX	RTC	模拟
39	GPIO34	IO	VDD_SPI / VDD3P3_CPU		IE	IO MUX		
40	GPIO35	IO	VDD_SPI / VDD3P3_CPU		IE	IO MUX		
41	GPIO36	IO	VDD_SPI / VDD3P3_CPU		IE	IO MUX		
42	GPIO37	IO	VDD_SPI / VDD3P3_CPU		IE	IO MUX		
43	GPIO38	IO	VDD3P3_CPU		IE	IO MUX		
44	MTCK	IO	VDD3P3_CPU		IE	IO MUX		
45	MTDO	IO	VDD3P3_CPU		IE	IO MUX		
46	VDD3P3_CPU	电源						
47	MTDI	IO	VDD3P3_CPU		IE	IO MUX		
48	MTMS	IO	VDD3P3_CPU		IE	IO MUX		
49	U0TXD	IO	VDD3P3_CPU	IE, WPU	IE, WPU	IO MUX		
50	U0RXD	IO	VDD3P3_CPU	IE, WPU	IE, WPU	IO MUX		
51	GPIO45	IO	VDD3P3_CPU	IE, WPD	IE, WPD	IO MUX		
52	GPIO46	IO	VDD3P3_CPU	IE, WPD	IE, WPD	IO MUX		
53	XTAL_N	模拟						
54	XTAL_P	模拟						
55	VDDA	电源						
56	VDDA	电源						
57	GND	电源						

管脚配置一栏为复位时和复位后预配置缩写：

- IE – 输入使能
- WPU – 内部弱上拉电阻使能
- WPD – 内部弱下拉电阻使能

部分管脚在芯片上电过程中有毛刺，具体见表 8。

表 8: 芯片上电过程中的管脚毛刺

管脚名称	毛刺类型 ¹	典型持续时间 (μs)
GPIO1	低电平毛刺	60
GPIO2	低电平毛刺	60
GPIO3	低电平毛刺	60
GPIO4	低电平毛刺	60
GPIO5	低电平毛刺	60
GPIO6	低电平毛刺	60
GPIO7	低电平毛刺	60
GPIO8	低电平毛刺	60
GPIO9	低电平毛刺	60
GPIO10	低电平毛刺	60
GPIO11	低电平毛刺	60
GPIO12	低电平毛刺	60
GPIO13	低电平毛刺	60

GPIO14	低电平毛刺	60
XTAL_32K_P	低电平毛刺	60
XTAL_32K_N	低电平毛刺	60
GPIO17	低电平毛刺	60
GPIO18	低电平毛刺	60
	高电平毛刺	60
GPIO19	低电平毛刺	60
	高电平毛刺 ²	60
GPIO20	下拉毛刺	60
	高电平毛刺 ²	60

¹ 低电平毛刺：在持续期间维持低电平输出状态；

高电平毛刺：在持续期间维持高电平输出状态；

下拉毛刺：在持续期间维持内部弱下拉状态；

上拉毛刺：在持续期间维持内部弱上拉状态。

² GPIO19 和 GPIO20 在芯片上电期间会出现两次高电平毛刺，每次持续时间为 60 μ s 左右，两次毛刺及中间的延迟共持续的时间分别为 3.2 ms 和 2 ms。

2.9 ADC

使用 ADC 功能时，请在 ESP32-S3 芯片管脚附近添加 0.1 μ F 的对地滤波电容，以提高精度。优先推荐使用 ADC1。

2.10 USB

ESP32-S3 系列芯片带有一个集成了收发器的全速 USB On-The-Go (OTG) 外设，符合 USB 2.0 规范。

ESP32-S3 系列芯片还集成了一个 USB 串口/JTAG 控制器，作为兼容 USB 2.0 全速模式的设备。

GPIO19 和 GPIO20 可以分别作为 USB 的 D- 和 D+，线上建议预留串联电阻（初始值可为 0 Ω ）和对地电容（初始可不上件），并注意靠近 ESP32-S3 芯片端放置。

ESP32-S3 系列芯片也支持通过 USB 进行下载和 log 打印，下载指导请参考章节 4.3。

在启用 USB-OTG Download 下载模式时，芯片上电后会在 ROM 中初始化用于连接外部 PHY 的 IO 焊盘，初始化后各 IO 焊盘状态如下：

表 9: USB-OTG Download 下载模式下芯片初始化后 IO 焊盘状态

IO 焊盘	输入/输出模式	电平状态
VP (MTMS)	INPUT	-
VM (MTDI)	INPUT	-
RCV (GPIO21)	INPUT	-
OEN (MTDO)	OUTPUT	HIGH
VPO (MTCK)	OUTPUT	LOW
VMO(GPIO38)	OUTPUT	LOW

若无需使用 USB-OTG Download 下载模式，可烧写 eFuse 位 EFUSE_DIS_USB_OTG_DOWNLOAD_MODE 禁用该模式，以避免 IO 状态的变化。

2.11 SDIO

ESP32-S3 系列芯片只有一个 SD/MMC 主机控制器，不能用做从机。

SDIO 接口可以通过软件配置到任意空闲的 GPIO 上，请在 SDIO GPIO 管脚处添加上拉电阻，建议每根线上预留一个串联的电阻。

2.12 触摸传感器

ESP32-S3 系列芯片提供了 14 个电容式触摸传感 GPIO，分别为 GPIO1 ~ GPIO14。

ESP32-S3 系列芯片的触摸传感器同时还支持防水和数字滤波等功能。注意只有 GPIO14 (TOUCH14) 可以驱动屏蔽电极。

使用 TOUCH 功能时，建议靠近芯片侧预留串联电阻，用于减小线上的耦合噪声和干扰，也可加强 ESD 保护。该阻值建议 $470\ \Omega$ 到 $2\ \text{k}\Omega$ ，推荐 $510\ \Omega$ 。具体值还需根据产品实际测试效果而定。

3 版图布局

本章节将以 ESP32-S3-WROOM-2 模组的 PCB 布局为例，介绍 ESP32-S3 系列芯片的 PCB 布局设计要点。

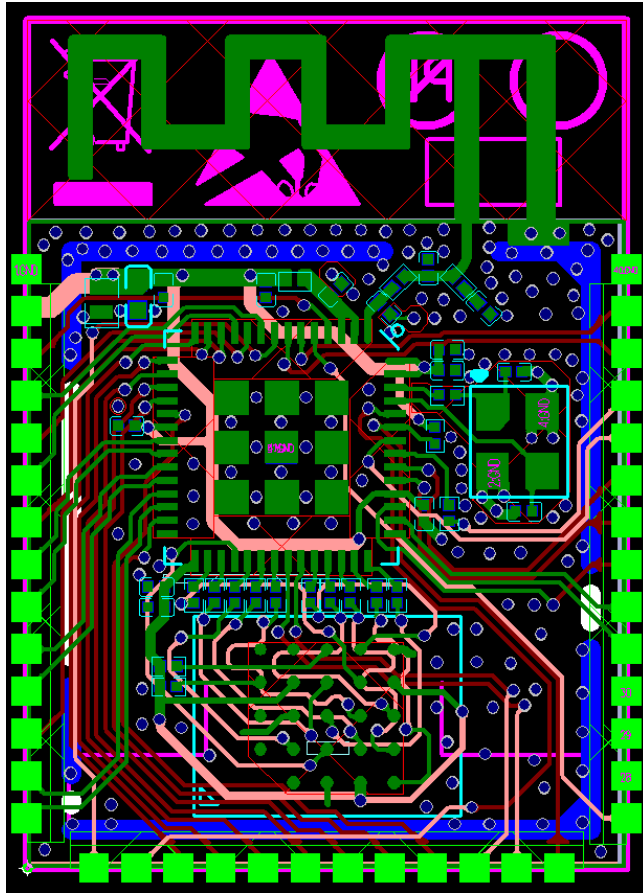


图 13: ESP32-S3 系列芯片版图设计

3.1 版图设计通用要点

建议采用四层板设计，即：

- 第一层（顶层），主要用于走信号线和摆件。
- 第二层（地层），不走信号线，保证一个完整的地平面。
- 第三层（电源线层），铺地平面，使射频及晶振部分可以得到更好的屏蔽。在保证射频及晶振部分下方完整地平面的情况下，将电源走在该层，可适度走信号线。
- 第四层（底层），不建议摆件，可适度走信号线。

如采用两层板设计：

- 第一层（顶层），主要用于摆件和走线。
- 第二层（底层），不要摆件，走线也越少越好，保证射频、晶振和芯片有一个完整的地平面。

3.2 模组在底板上的位置摆放

如使用模组进行板上 (on-board) 设计，需注意模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。

建议将模组天线区域伸出板边，馈点靠近底板板边放置。在下面模组摆放位置图中，✓代表强烈推荐的摆放位置，其他位置不推荐。

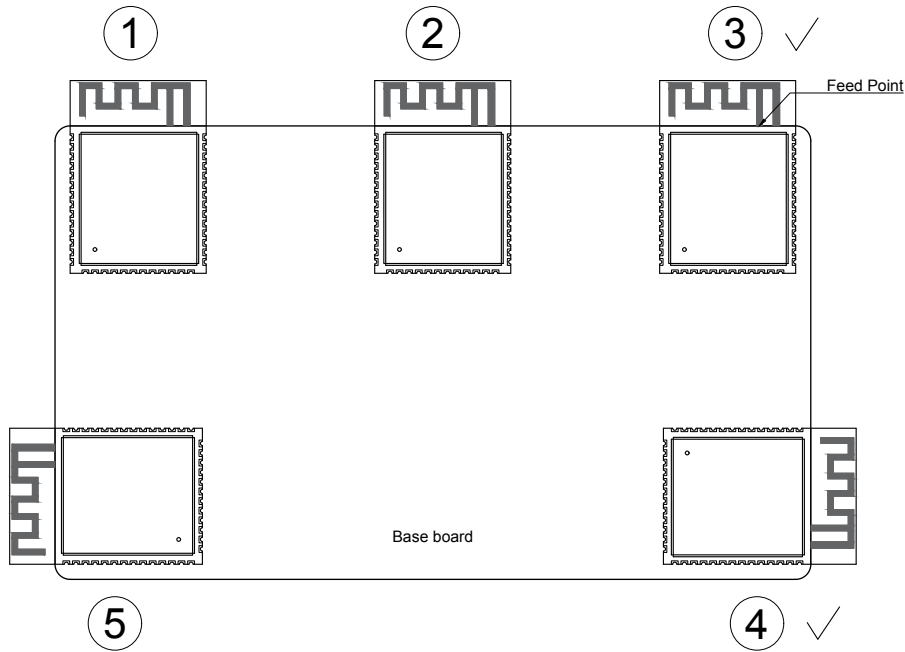


图 14: ESP32-S3 系列模组 (天线馈点在右侧) 在底板上的位置示意图

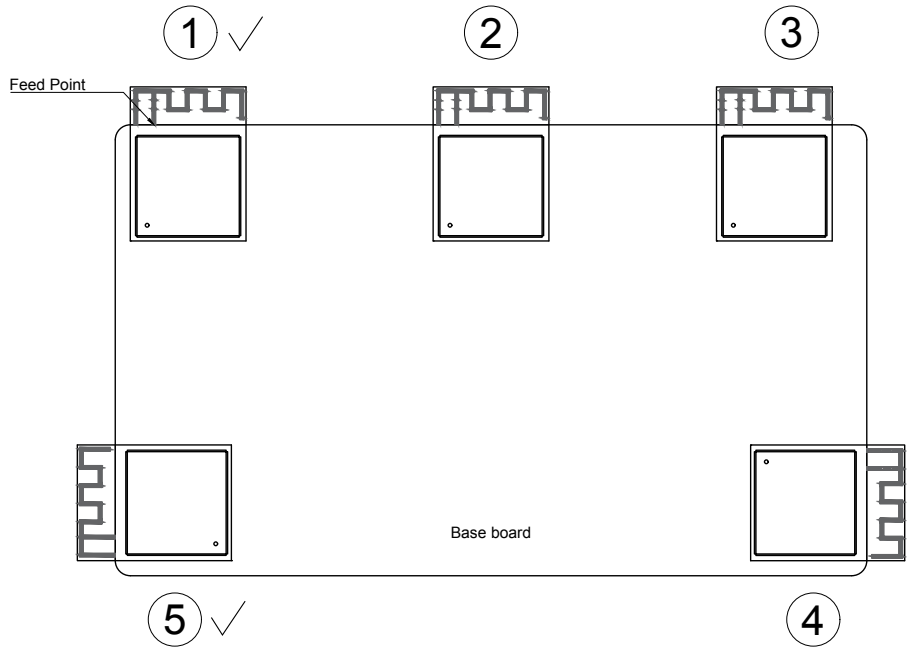


图 15: ESP32-S3 系列模组 (天线馈点在左侧) 在底板上的位置示意图

如果天线无法伸出板边，请保证给 PCB 天线一个足够大的净空区域（严禁铺铜、走线、摆放元件），该净空区

域建议至少 15 mm，PCB 天线下方区域的底板请切割掉，以尽可能地减少底板板材对 PCB 天线的影响。馈点还是尽量靠近板边放置，如图 16 以馈点在右侧的模组为例，画出了建议的净空区。

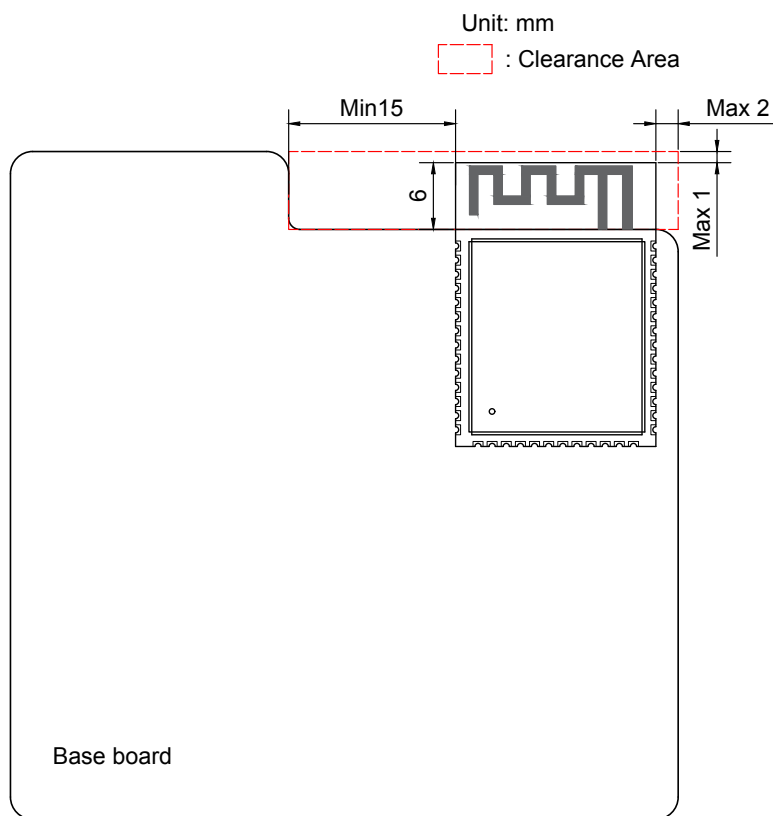


图 16: ESP32-S3 天线区域净空示意图

涉及整机设计时，请注意考虑外壳对天线的影响，并进行 RF 验证。

请注意最终仍需要对整机产品进行吞吐量和通讯距离等测试来确保产品射频性能。

3.3 电源

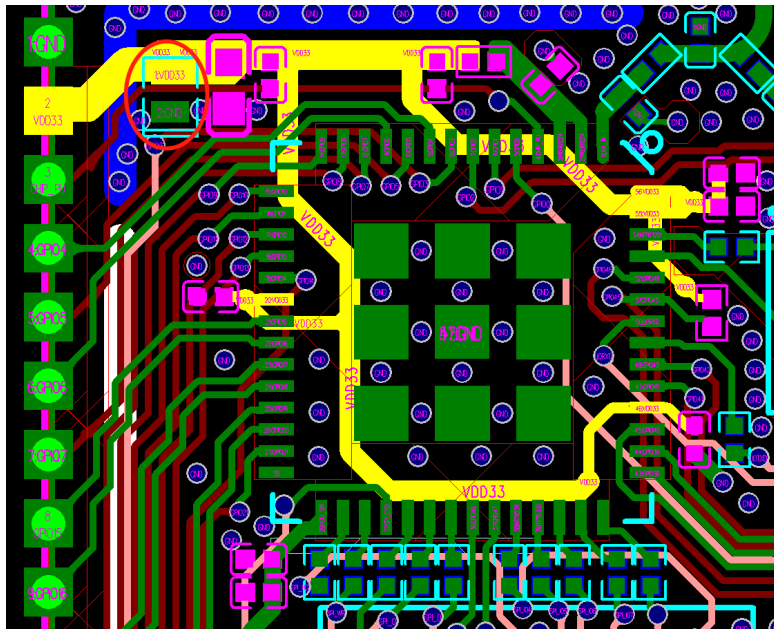


图 17: ESP32-S3 系列芯片四层板电源设计

- 优先采用四层板设计，电源走线尽量走在内层第三层，通过过孔连接至顶层芯片管脚处。主干电源换层处请至少保证两个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 图 17 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 25 mil，模拟电源 VDD3P3 分支电源走线建议至少 20 mil，其他分支电源走线建议 10 mil。
- 图 17 左上半部分中红色圆圈标示的是 ESD 保护管，需靠近电源端口放置。电源走线进入芯片前需添加一个 10 μF 电容，该电容可与 0.1 或 1 μF 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请靠近打地孔，保证较短的返回路径。

注意：

图 17 中因为模拟电源 VDD3P3 和芯片电源入口接近，因此只使用了一个 10 μF 电容。如果芯片电源入口不靠近 VDD3P3 管脚，请在芯片电源入口处和模拟电源 VDD3P3 处都添加一个 10 μF 电容，如果有足够空间，可以再预留一个 1 μF 电容。

- 模拟电源 VDD3P3 处 CLC 滤波电容中，靠近芯片管脚侧对地电容的 GND 焊盘上建议添加过孔连接至底层的地，其余层做 keep-out 隔离处理，进一步降低谐波干扰，参考图 18。
- VDD3P3 模拟电源两边请包地处理，和周围的射频、GPIO 之间添加 GND 隔离，并尽量能放置地孔。
- 芯片下方的地焊盘，请注意需要至少打九个地孔连接到地平面。
- 如图 17 所示，如需在模组背面添加散热焊盘 EPAD，建议参考芯片 EPAD 的多宫格进行设计，间隙处盖油墨，地孔打在间隙处。这样可以有效地改善模组 EPAD 焊接至底板时因为溢锡及气泡导致的芯片移位问题。

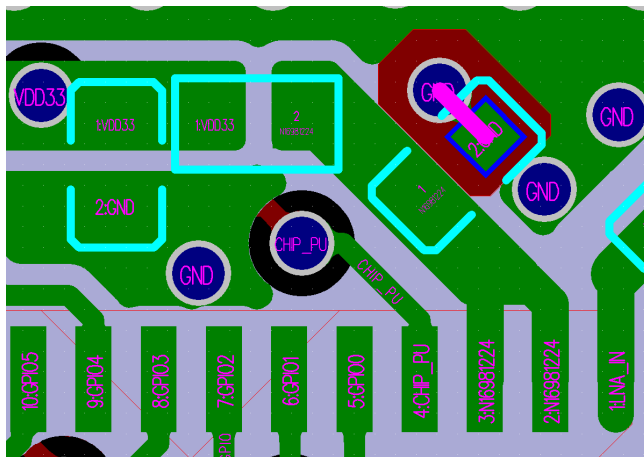


图 18: ESP32-S3 系列芯片四层板模拟电源设计

3.4 晶振

晶振设计请参考图 19 和图 20，晶振在顶层可以连接到地或者不连接到地。如果顶层的地很充分，建议采用不连接到地的方式，既可以减小寄生电容，也可以抑制温度传导，以防影响频偏。另外：

- 需要保证射频、晶振和芯片有一个完整的地平面。
- 晶振需离芯片时钟管脚稍远一些放置（间距至少为 2.0 mm），防止晶振干扰到芯片。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线，即不能跨层。晶振的时钟走线不可交叉，也不可跨层交叉。
- 晶振上的串联元器件请靠近芯片放置。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，不可直接连接在串联元器件上，电容尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方都不能走高频数字信号，最佳情况是晶振下方不走任何信号线。晶振时钟走线两侧的电路线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧尽可能包地。
- 晶振为敏感器件，晶振周围不能放置磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

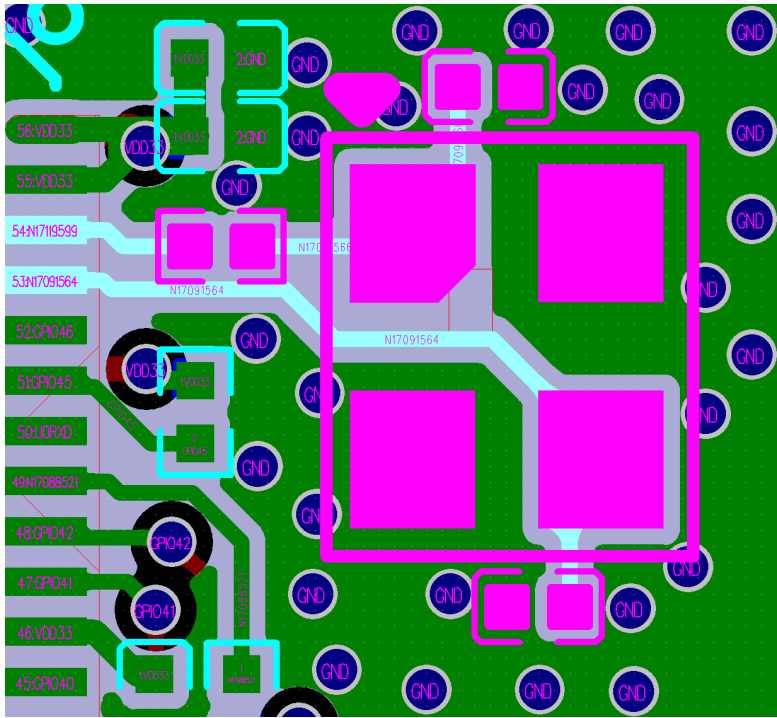


图 19: ESP32-S3 系列芯片晶振设计（接地）

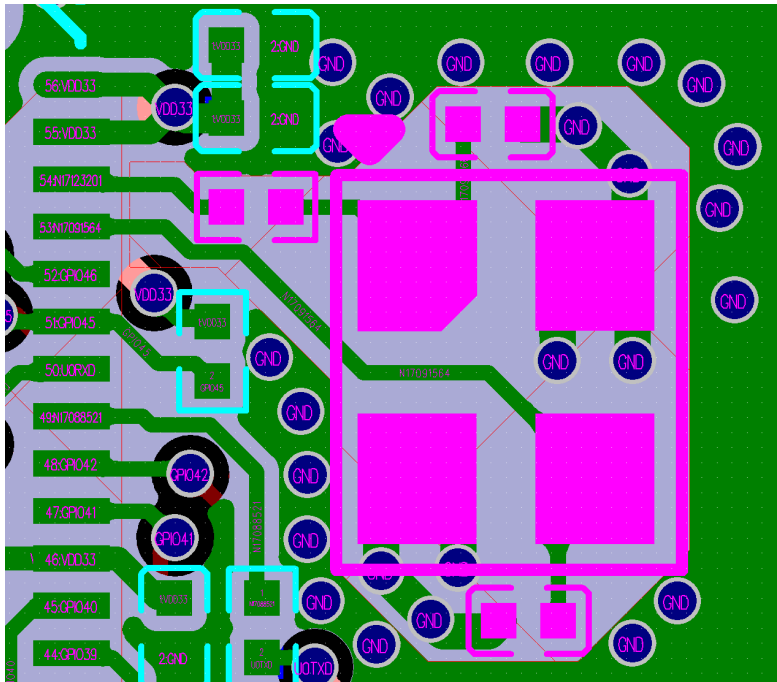


图 20: ESP32-S3 系列芯片晶振设计（不接地）

3.5 射频

下图 21 中高亮走线即为射频走线。

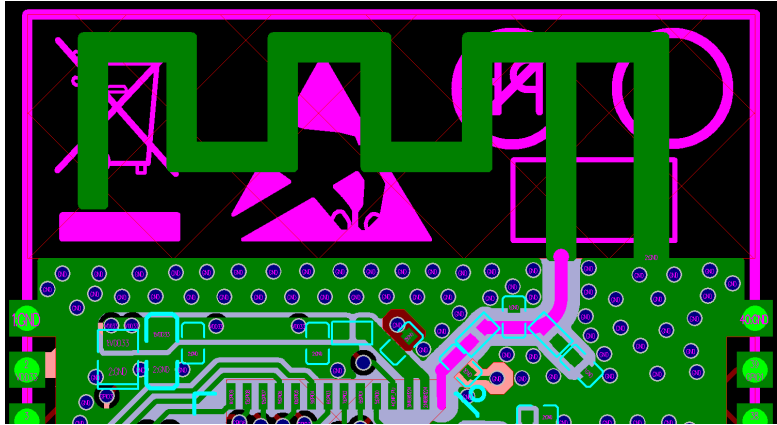


图 21: ESP32-S3 系列芯片四层板射频部分版图设计

- 射频走线须做 50 Ω 阻抗控制，参考平面为第二层。射频走线上需预留一个 π 型匹配电路，且 π 型匹配电路需尽可能地靠近芯片端，并呈 Z 字型摆放。
- 射频走线在做 50 Ω 阻抗控制时，可参考图 22 所示的 PCB 叠层结构设计。

厚度 (mm)	阻抗 (Ohm)	铜距 (mil)	线宽 (mil)	铜距 (mil)
-	50	12.2	12.6	12.2

叠层	材质	基铜厚 (oz)	成品层厚 (mil)	介电常数
阻焊层			0.4	4
L1_Top	成品铜厚 1 oz	0.33	0.8 (Min)	
PP	7628 TG150 RC50%		8	4.39
L2_Gnd		1	1.2	
Core	芯板		可调	4.43
L3_Power		1	1.2	
PP	7628 TG150 RC50%		8	4.39
L4_Bottom	成品铜厚 1 oz	0.33	0.8 (Min)	
阻焊层			0.4	4

图 22: ESP32-S3 系列芯片 PCB 叠层结构设计

- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- π 型 CLC 匹配网络中靠近芯片侧对地电容的 GND 焊盘与地之间建议增加短截线，可有效抑制二次谐波。短截线的长度建议为 15 mil，线宽根据 PCB 叠层结构进行确定，确保短截线的特征阻抗为 100 $\Omega \pm 10\%$ 。此外，短截线地孔与第三层相连，第一、二层做 keep-out 隔离处理。图 23 中的高亮走线即为短截线。当 π 型匹配网络元器件封装为 0201 以上时，则无需做短截线处理。
- 射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。
- 射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振、DDR、一

些高频时钟等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。

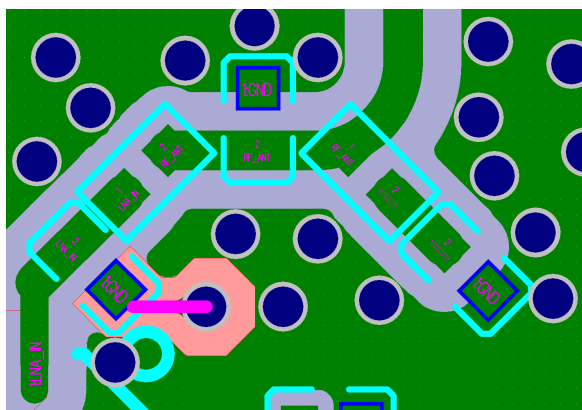


图 23: ESP32-S3 系列芯片四层板射频短截线设计

3.6 Flash 及 PSRAM

- SPI 通信线上预留的串联电阻请靠近 ESP32-S3 芯片侧放置。
- SPI 走线请尽可能走到内层（例如第三层），时钟及数据走线尽量都单独进行包地处理。
- VDD_SPI 电源处的 0.1 uF 对地电容可靠近连接的 flash/PSRAM 电源管脚放置。
- 八线 SPI 还需做等长处理。

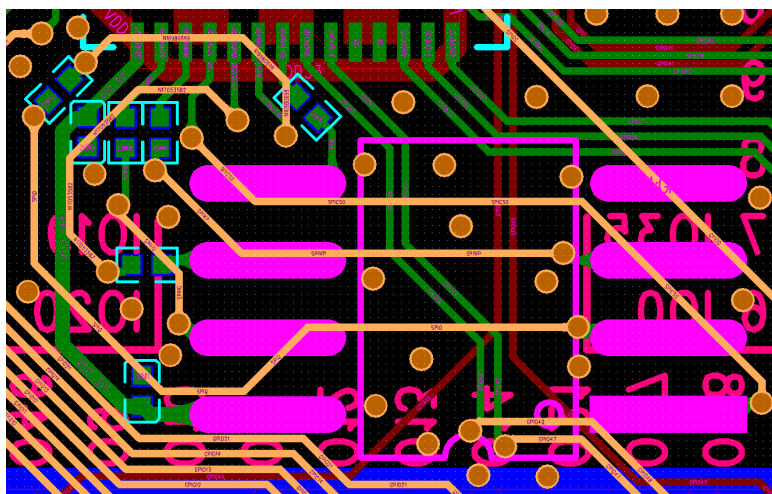


图 24: ESP32-S3 系列芯片 Quad Flash 版图设计

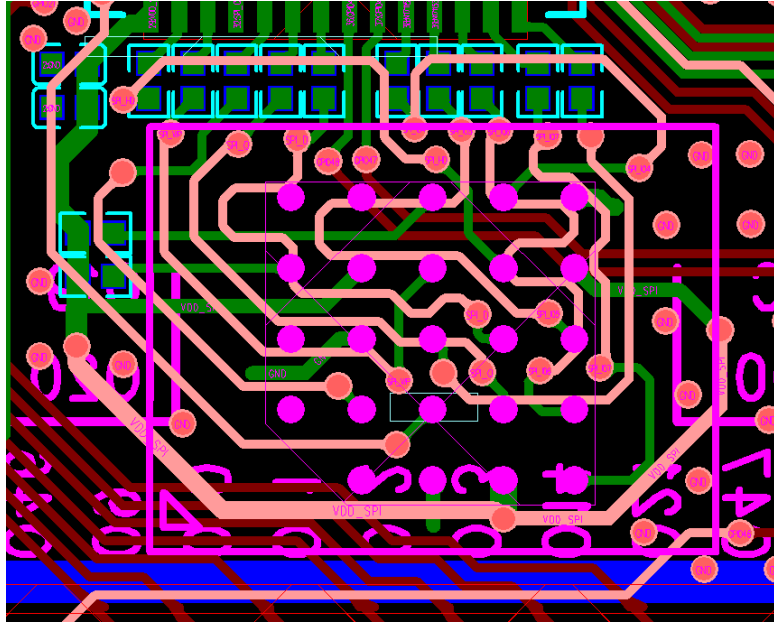


图 25: ESP32-S3 系列芯片 Octal Flash 版图设计

3.7 UART

- U0TXD 线上的串联电阻请靠近 ESP32-S3 芯片侧并远离晶振放置。
- U0TXD、U0RXD 在顶层的走线需尽量短。
- UART 走线两侧请注意包地处理，周围加地孔屏蔽。

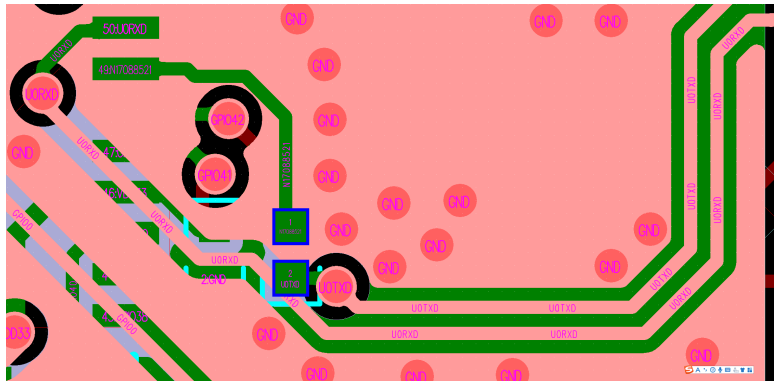


图 26: ESP32-S3 系列芯片 UART0 版图设计

3.8 USB

- USB 线上预留的 RC 电路请靠近 ESP32-S3 芯片侧放置。
- USB 走线请按照差分走线，保持平行等长。
- USB 走线须有完整的参考地平面，走线两侧请注意包地处理。

3.9 SDIO

SDIO 走线因为速率较高，需要尽量控制其寄生电容。

- SDIO_CMD、SDIO_DATA0 ~ SDIO_DATA3 走线长度以 SDIO_CLK 走线长度为基准 ± 3 mil，需要时绕蛇形线。
- SDIO_CLK 走线尽量单独包地，从芯片 SDIO 管脚到对端 SDIO 接口的总长度越短越好，控制在 2500 mil 以内，最好在 2000 mil 以内。
- SDIO 走线要保证不跨平面。

3.10 触摸传感器

ESP32-S3 提供多达 14 个电容式传感 GPIO，能够探测由手指或其他物品直接接触或接近而产生的电容差异。这种设计具有低噪声和高灵敏度的特点，可以用于支持使用相对较小的触摸板。矩阵按键的设计可以得到更多的触摸点。接近感应的设计可以检测到人体的接近。

图 27 为基于 ESP32-S3 的典型触摸传感应用。

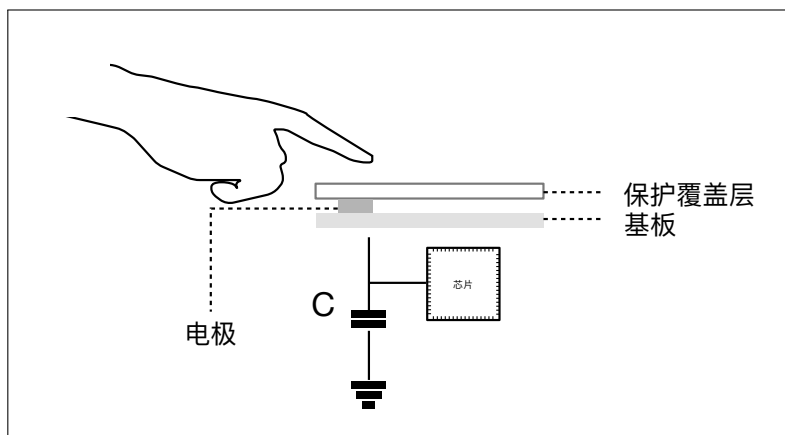


图 27: 典型的触摸传感器应用

为防止电容耦合和其他电干扰影响触摸传感系统的灵敏度，需要考虑以下因素：

3.10.1 电极图形

适当大小和形状的电极有助于提高系统灵敏度。常见的有圆形、椭圆形和形状类似人的指尖的电极。过大或形状不规则的电极可能导致附近电极发生错误响应。

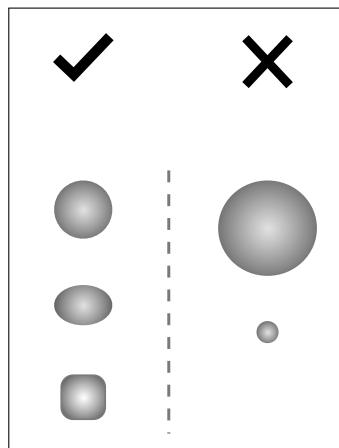


图 28: 电极图形要求

说明:

图 28 未按照实际比例示例，建议用指尖作为参考。

3.10.2 PCB 布局

图 29 为传感器布线布局，具体的走线注意事项如下：

- 走线长度请尽量短，建议不超过 300 mm
- 走线宽度 (W) 不能大于 0.18 mm (7 mil)
- 走线夹角 (R) 不应小于 90°
- 走线离地间隙 (S) 范围 0.5 mm 到 1 mm
- 触摸电极直径 (D) 范围 8 mm 到 15 mm
- 触摸电极和走线应被栅格地围绕
- 触摸传感器电路注意远离射频天线电路，并注意隔离

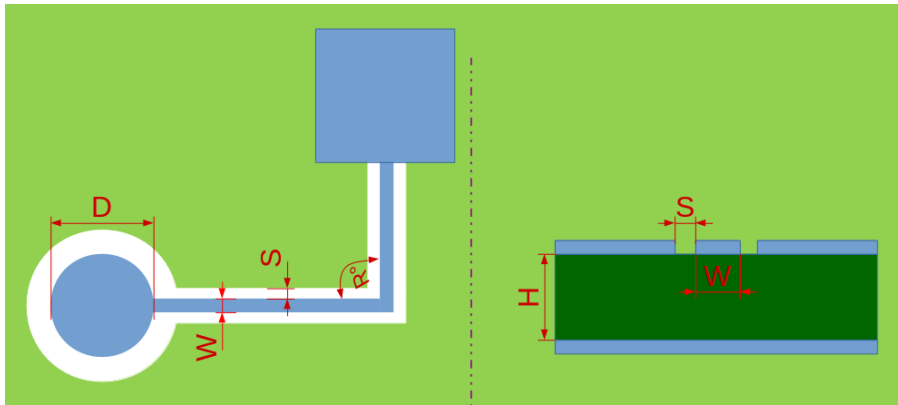


图 29: 传感器布局布线

3.10.3 防水和接近传感器布局

ESP32-S3 新增硬件防水和接近传感器功能，图 30 为防水和接近传感器参考的布局。

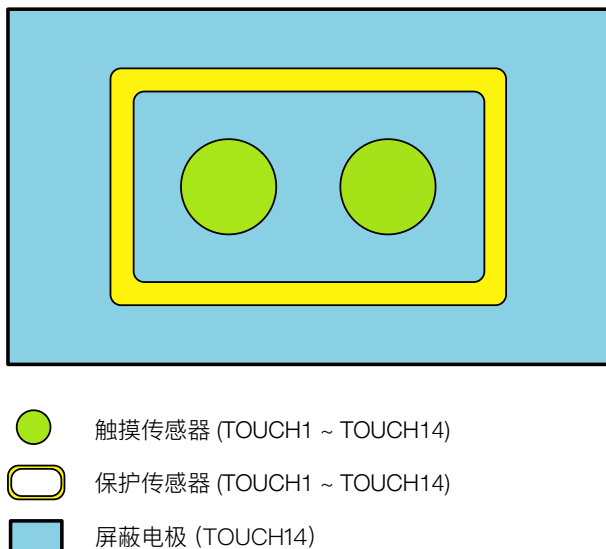


图 30: 屏蔽电极和保护传感器

为更好实现上述功能，请注意以下事项：

- 屏蔽电极的宽度建议 2 cm
- 顶层填充网格，走线宽度为 7 mil，网格宽度为 45 mil（25% 填充），填充的网格与驱动屏蔽信号连接
- 底层填充网格，走线宽度为 7 mil，网格宽度为 70 mil（17% 填充），填充的网格与驱动屏蔽信号连接
- 建议保护传感器应为弯曲边缘的矩形，包围其他所有传感器
- 保护传感器宽度建议为 2 mm
- 保护传感器与屏蔽传感器宽度间隙建议为 1 mm
- 接近传感器的感应距离与接近传感器的面积成正比，但增大感应面积也会带来更大噪声，需实际测试
- 接近传感器形状建议为闭合环状。宽度建议为 1.5 mm

说明：

关于触摸传感器的硬件设计，详见 [《ESP32-S3 触摸传感器应用方案简介》](#)。

3.11 版图设计常见问题

3.11.1 为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析

电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32-S3 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 <80 mV。发送 11m@11b 时，电源纹波峰峰值必须 <120 mV。

解决方法

在电源支路上（支路为 ESP32-S3 模拟电源管脚）添加一个 $10\ \mu\text{F}$ 的滤波电容。 $10\ \mu\text{F}$ 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

3.11.2 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析

射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线、UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法

此问题主要是在布局上，可以重新布局，详见章节 3.4。

3.11.3 为什么 ESP32-S3 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析

仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法

射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

3.11.4 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析

芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。另外，如果主板上存在非常多的高频信号干扰源，则需根据主板设计来考量信号完整性的问题。

解决方法

请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节 3.5。

4 开发硬件介绍

4.1 ESP32-S3 系列模组

请至乐鑫官网的[模组页面](#)查看 ESP32-S3 系列模组的最新详细信息。

乐鑫官网的[文档页面](#)提供模组的参考设计。

4.2 ESP32-S3 系列开发板

请至乐鑫官网的[开发板页面](#)查看 ESP32-S3 系列开发板的最新详细信息。

4.3 下载指导

ESP32-S3 系列芯片支持通过 UART 和 USB 两种方式下载固件。

UART 下载的过程如下：

1. 烧录前，需要保证芯片或模组的启动模式为 Download Boot，即将 strapping 管脚 GPIO0（默认为高）下拉到低电平，管脚 GPIO46（默认为低）悬空或者下拉到低电平；若使用无内部合封的 ESP32-S3 芯片，请按照表 1 合理配置管脚 GPIO45；
2. 给芯片或模组上电，通过 UART0 串口查看 log，如果看到“waiting for download”信息，说明已成功进入 Download Boot 启动模式；
3. 通过 [Flash 下载工具](#)，选择 UART 方式将程序固件烧录进 flash 中；
4. 烧录结束后，需要保证芯片或模组的启动模式为 SPI Boot，即将 GPIO0 悬空或者上拉切换至高电平；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。

USB 下载的过程如下：

1. 如果 flash 中有能正常运行的程序固件，可以直接从步骤 3 开始 USB 自动下载。如果 flash 中没有能正常运行的程序固件，烧录前，需要保证芯片或模组的启动模式为 Download Boot，即将 strapping 管脚 GPIO0（默认为高）下拉到低电平，管脚 GPIO46（默认为低）悬空或者下拉到低电平；若使用无内部合封的 ESP32-S3 芯片，请按照表 1 合理配置管脚 GPIO45；
2. 给芯片或模组上电，通过 USB 接口查看 log，如果看到“waiting for download”信息，说明已成功进入 Download Boot 启动模式；
3. 通过 [Flash 下载工具](#)，选择 USB 方式将程序固件烧录进 flash 中；
4. 烧录结束后，需要保证芯片或模组的启动模式为 SPI Boot，即将 GPIO0 悬空或者上拉切换至高电平；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。

注意：

- 推荐先通过串口看到“waiting for download”的信息后再进行下载。
- 串口打印工具和烧录工具不能同时占用同一个串口端口。
- 应用程序中如果出现以下情况，USB 自动下载功能将被禁用，必须通过配置 strapping 管脚进入 Download Boot 启动模式，才能使用 USB 下载功能。
 - USB PHY 被应用程序关闭；

- USB 被二次开发用于其他 USB 功能，例如 USB 主机、USB 标准设备；
- USB 对应的 GPIO 被用于其他外设功能，例如 UART、LEDC 等。
- 建议用户保留对 strapping 管脚的控制，避免在出现以上情况时，USB 下载功能无法使用。

5 相关文档和资源

相关文档

- [《ESP32-S3 技术规格书》](#) – 提供 ESP32-S3 芯片的硬件技术规格。
- [《ESP32-S3 技术参考手册》](#) – 提供 ESP32-S3 芯片的存储器和外设的详细使用说明。
- [《ESP32-S3 系列芯片勘误表》](#) – 描述 ESP32-S3 系列芯片的已知错误。
- 证书
<https://espressif.com/zh-hans/support/documents/certificates>
- ESP32-S3 产品/工艺变更通知 (PCN)
<https://espressif.com/zh-hans/support/documents/pcns?keys=ESP32-S3>
- ESP32-S3 公告 – 提供有关安全、bug、兼容性、器件可靠性的信息
<https://espressif.com/zh-hans/support/documents/advisories?keys=ESP32-S3>
- 文档更新和订阅通知
<https://espressif.com/zh-hans/support/download/documents>

开发者社区

- [《ESP32-S3 ESP-IDF 编程指南》](#) – ESP-IDF 开发框架的文档中心。
- ESP-IDF 及 GitHub 上的其它开发框架
<https://github.com/espressif>
- ESP32 论坛 – 工程师对工程师 (E2E) 的社区，您可以在这里提出问题、解决问题、分享知识、探索观点。
<https://esp32.com/>
- *The ESP Journal* – 分享乐鑫工程师的最佳实践、技术文章和工作随笔。
<https://blog.espressif.com/>
- SDK 和演示、App、工具、AT 等下载资源
<https://espressif.com/zh-hans/support/download/sdks-demos>

产品

- ESP32-S3 系列芯片 – ESP32-S3 全系列芯片。
<https://espressif.com/zh-hans/products/socs?id=ESP32-S3>
- ESP32-S3 系列模组 – ESP32-S3 全系列模组。
<https://espressif.com/zh-hans/products/modules?id=ESP32-S3>
- ESP32-S3 系列开发板 – ESP32-S3 全系列开发板。
<https://espressif.com/zh-hans/products/devkits?id=ESP32-S3>
- ESP Product Selector (乐鑫产品选型工具) – 通过筛选性能参数、进行产品对比快速定位您所需要的产品。
<https://products.espressif.com/#/product-selector?language=zh>

联系我们

- 商务问题、技术支持、电路原理图 & PCB 设计审阅、购买样品 (线上商店)、成为供应商、意见与建议
<https://espressif.com/zh-hans/contact-us/sales-questions>

词汇列表

CLC	电容-电感-电容
DDR	双倍速率
ESD	静电释放
LC	电感-电容
PA	功率放大器
RC	电阻-电容
RTC	实时控制器
SiP	系统封装
0 Ω 电阻	常用作电路设计中的占位符，后续可根据具体设计替换为其他大小的电阻。

修订历史

日期	版本	发布说明
2023-05-16	v1.2	• 新增以下章节： - 章节 2.8 GPIO - 章节 2.11 SDIO - 章节 3.9 SDIO - 章节 4.3 下载指导 • 更新以下章节： - 章节 2.1 电源：更新注释内容及图 4 ESP32-S3 系列芯片模拟电源 - 章节 2.2 上电时序与复位：调整图 6 ESP32-S3 系列芯片上电、复位时序图、表 2 上电、复位时序图 的位置并增加注释 - 章节 2.3 Flash 及 SRAM：更新描述 - 章节 2.4 时钟源：更新描述 - 章节 2.5 射频 (RF)：更新描述并新增图 11 射频调试示意图 - 章节 2.6 UART：新增描述 - 章节 2.7 Strapping 管脚：更新章节内容 - 章节 2.10 USB：新增表 9 USB-OTG Download 下载模式下芯片初始化后 IO 焊盘状态 及相关描述 - 章节 3.4 晶振：新增注意事项 - 章节 3.7 UART：新增图 26 ESP32-S3 系列芯片 UART0 版图设计 • 修正全文措辞及其他微小改动

见下页

接上页

日期	版本	发布说明
2022-06-02	v1.1	• 新增章节 2.1.3 RTC 电源 • 更新以下章节： - 章节 2.1 电源 - 章节 2.2 上电时序与复位 - 章节 2.3 Flash 及 SRAM - 章节 2.4.1 外置主晶振时钟源（必选） - 章节 2.7 Strapping 管脚 - 章节 3.1 版图设计通用要点 - 章节 3.4 晶振 - 章节 3.6 Flash 及 PSRAM • 更新以下图片： - 图 1 ESP32-S3 系列芯片参考设计原理图 (包括其图注) - 图 2 ESP32-S3 系列芯片八线 1.8 V 封装外 flash/PSRAM 核心电路图 - 图 13 ESP32-S3 系列芯片版图设计 - 图 17 ESP32-S3 系列芯片四层板电源设计 - 图 18 ESP32-S3 系列芯片四层板模拟电源设计 - 图 21 ESP32-S3 系列芯片四层板射频部分版图设计 - 图 23 ESP32-S3 系列芯片四层板射频短截线设计 • 其他微小改动
2021-09-30	v1.0	首次发布



免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2023 乐鑫信息科技（上海）股份有限公司。保留所有权利。